

Układy cyfrowe 1

PWr Sugier

Poziom trudności: Średni

1. Cechy PAL:

- A - Matryca AND programowalna, matryca OR stała
 - B - Matryca AND stała, matryca OR programowalna
 - C - Matryca AND programowalna, matryca OR programowalna
-

2. Cechy PLE:

- A - Matryca AND programowalna, matryca OR stała
 - B - Matryca AND stała, matryca OR programowalna
 - C - Matryca AND programowalna, matryca OR programowalna
-

3. Cechy PLA:

- A - Matryca AND programowalna, matryca OR stała
 - B - Matryca AND stała, matryca OR programowalna
 - C - Matryca AND programowalna, matryca OR programowalna
-

4. Ilość makrokomórek PLD/XC9536XL:

- A - 36
 - B - 72
 - C - 144
 - D - 288
-

5. Ilość makrokomórek PLD/XC9572XL:

- A - 36
 - B - 72
 - C - 144
 - D - 288
-

6. Ilość makrokomórek PLD/XC95144XL:

- A - 36
 - B - 72
-



- C - 144
 - D - 288
-

7. Ilość makrokomórek PLD/XC95288XL:

- A - 36
 - B - 72
 - C - 144
 - D - 288
-

8. Użytych bramek PLD/XC9536XL:

- A - 800
 - B - 1600
 - C - 3200
 - D - 6400
-

9. Użytych bramek PLD/XC9572XL:

- A - 800
 - B - 1600
 - C - 3200
 - D - 6400
-

10. Użytych bramek PLD/XC95144XL:

- A - 800
 - B - 1600
 - C - 3200
 - D - 6400
-

11. Użytych bramek PLD/XC95288XL:

- A - 800
 - B - 1600
 - C - 3200
 - D - 6400
-



12. T_PD PLD/XC9536XL:

- A - 5 ns
 - B - 6 ns
-

13. T_PD PLD/XC9572XL:

- A - 5 ns
 - B - 6 ns
-

14. T_PD PLD/XC95144XL:

- A - 5 ns
 - B - 6 ns
-

15. T_PD PLD/XC95288XL:

- A - 5 ns
 - B - 6 ns
-

16. T_SU PLD/XC9536XL:

- A - 3,7 ns
 - B - 4,0 ns
-

17. T_SU PLD/XC9572XL:

- A - 3,7 ns
 - B - 4,0 ns
-

18. T_SU PLD/XC95144XL:

- A - 3,7 ns
 - B - 4,0 ns
-

19. T_SU PLD/XC95288XL:

- A - 3,7 ns
 - B - 4,0 ns
-

20. T_CO PLD/XC9536XL:

- A - 3,5 ns
 - B - 3,8 ns
-

21. T_CO PLD/XC9572XL:

- A - 3,5 ns
 - B - 3,8 ns
-

22. T_CO PLD/XC95144XL:

- A - 3,5 ns
 - B - 3,8 ns
-

23. T_CO PLD/XC95288XL:

- A - 3,5 ns
 - B - 3,8 ns
-

24. f_SYSTEM PLD/XC9536XL:

- A - 178 MHz
 - B - 208 MHz
-

25. f_SYSTEM PLD/XC9572XL:

- A - 178 MHz
 - B - 208 MHz
-

26. f_SYSTEM PLD/XC95144XL:

- A - 178 MHz
 - B - 208 MHz
-

27. f_SYSTEM PLD/XC95288XL:

- A - 178 MHz
 - B - 208 MHz
-

28. CPLD rodziny XC9500XL: Makrokomórka ma standardową liczbę iloczynów:

- A - 5
 - B - 6
 - C - 10
 - D - 20
-

29. CPLD rodziny XC9500XL: Blok funkcyjny ma całkowitą liczbę iloczynów:

- A - 36
 - B - 90
 - C - 95
 - D - 180
-

30. CPLD rodziny XC9500XL: Każda makrokomórka ma liczbę przerzutników:

- A - 1
 - B - 2
 - C - 3
 - D - 4
-

31. CPLD rodziny XC9500XL: Liczba globalnych sygnałów zegarowych:

- A - 1
 - B - 2
 - C - 3
 - D - 4
-

32. CPLD rodziny XC9500XL: Typ przerzutników:

- A - T/D
 - B - JK
 - C - RS
-

33. CPLD rodziny XC9500XL: Każdy blok WE/WY ma liczbę przerzutników:

- A - 1
 - B - 2
 - C - 5
-

34. CPLD rodziny XC9500XL: Blok funkcyjny ma liczbę makrokomórek:

- A - 5
 - B - 9
 - C - 18
 - D - 90
-

35. CPLD rodziny XC9500XL: liczba sygnałów WE dochodzących do każdego bloku funkcyjnego:

- A - 18
 - B - 5
 - C - 54
 - D - 90
-

36. Układ PALCE22V10: Jest wykonany w technologii UVC MOS:

- A - TAK
 - B - NIE
-

37. Układ PALCE22V10: Ma 10 przerzutników:

- A - TAK
 - B - NIE
-

38. Układ PALCE22V10: Jest kasowany ultrafioletem:

- A - TAK
 - B - NIE
-

39. Układ PALCE22V10: Ma programowalny typ przerzutników D/T:

- A - TAK
 - B - NIE
-

40. Układ PALCE22V10: ma przerzutniki ze wspólnym sygnałem zegarowym

- A - TAK
 - B - NIE
-

41. Układ PALCE22V10: ma programowalną matrycę sum (OR):

- A - TAK
 - B - NIE
-

42. Układ PALCE22V10: Jest wykonany w technologii EECMOS:

- A - TAK
 - B - NIE
-

43. Układ PALCE22V10: ma 22 przerzutniki

- A - TAK
 - B - NIE
-

44. Układ PALCE22V10: ma programowalny aktywny poziom wyjścia

- A - TAK
 - B - NIE
-

45. Układ PALCE22V10: ma nie tylko wyjścia kombinacyjne

- A - TAK
 - B - NIE
-

46. najwyższy koszt stały (przygotowania projektu)

- A - SC
 - B - GA
 - C - FPGA
-

47. najmniejsze wykorzystanie powierzchni układu

- A - SC
 - B - GA
 - C - FPGA
-



48. mozliwosc rekonfiguracji układu

- A - SC
 - B - GA
 - C - FPGA
-

49. najwyzszy koszt jednostkowy 1 ukł. scalonego

- A - SC
 - B - GA
 - C - FPGA
-

50. projektowanie przez uzytkownika tylko warstw metalizacji układu scalonego

- A - SC
 - B - GA
 - C - FPGA
-

51. najnizszy koszt stały (przygotowania projektu)

- A - SC
 - B - GA
 - C - FPGA
-

52. mozliwosc wykorzystania gotowych duzych bloków funkcyjnych, tzw mega-cores

- A - SC
 - B - GA
 - C - FPGA
-

53. najnizszy koszt jednostkowy 1 ukł. scalonego

- A - SC
 - B - GA
 - C - FPGA
-

54. najwieksze wykorzystanie powierzchni układu

- A - SC
 - B - GA
-



- C - FPGA
-

55. Układy CPLD rodziny XC9500XL: mają alokatory termów, pozwalające na wymianę nieużywanych linii AND między blokami funkcyjnymi

- A - TAK
 - B - NIE
-



Układy cyfrowe 1

PWr Sugier

Poziom trudności: Średni

Karta odpowiedzi

1. A
2. B
3. C
4. A
5. B
6. C
7. D
8. A
9. B
10. C
11. D
12. A
13. A
14. A
15. B
16. A
17. A
18. A
19. B
20. A
21. A
22. A
23. B
24. A
25. A
26. A
27. B
28. A
29. B



- 30. A
- 31. C
- 32. A
- 33. D
- 34. C
- 35. C
- 36. B
- 37. A
- 38. B
- 39. B
- 40. A
- 41. B
- 42. A
- 43. B
- 44. A
- 45. A
- 46. A
- 47. C
- 48. C
- 49. C
- 50. B
- 51. C
- 52. A
- 53. A
- 54. A
- 55. B